

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2795565号

(45) 発行日 平成10年(1998) 9月10日

(24) 登録日 平成10年(1998) 6月26日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 F
21/8234		27/06	1 0 2 J
21/8242			
27/06			

請求項の数 1 (全 4 頁)

(21) 出願番号	特願平3-260821	(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成3年(1991)10月8日	(72) 発明者	井口 勝次 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(65) 公開番号	特開平5-102427	(72) 発明者	谷川 真 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(43) 公開日	平成5年(1993)4月23日	(74) 代理人	弁理士 野河 信太郎
審査請求日	平成7年(1995)7月14日	審査官	正山 旭
		(56) 参考文献	特開 昭61-75555 (J P, A) 特開 平2-54571 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体記憶素子の製造方法

(57) 【特許請求の範囲】

【請求項1】半導体基板にトリプルウェル構造を有する半導体記憶素子の製造方法において、半導体基板上のウェル形成領域に第1導電型金属イオンを注入し、拡散処理を施すと同時にイオン注入した領域に選択酸化膜を形成し、前記選択酸化膜の外周領域の少なくとも一部に第1導電型金属イオンを注入し、拡散処理を施すと同時に該イオン注入した領域に前記選択酸化膜よりも薄い選択酸化膜を形成し、これら選択酸化膜を除去した後、前記ウェル形成領域内に第2導電型金属イオンを注入することを特徴とする半導体記憶素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶素子の製造方法に関し、より詳細にはトリプルウェル構造を有するD

RAM (ダイナミック・ランダム・アクセス・メモリ) の製造方法に関する。

【0002】

【従来の技術】従来より、P型シリコン基板を用いてDRAMを製造する場合、メモリセル領域のN型MOSトランジスタと周辺回路のN型MOSトランジスタを別ウェルに形成することがある。このような場合、例えば、周辺回路の雑音がメモリセル領域に進入しにくくなる、メモリセル領域の基板バイアスを周辺回路領域とは独立に制御できる、周辺回路のトランジスタの短チャネル効果を制御しやすくなる、基板バイアス発生回路を小さくできる等の多くの利点がある。

【0003】しかし、メモリセル領域のN型MOSトランジスタと周辺回路のN型MOSトランジスタを別ウェルに形成する場合には、メモリセル領域のPウェルをシ

リコン基板から分離しなければならないので、Pウェルをより深く形成したNウェルで覆うというようなトリプルウェル構成となるように製造することが必要である。

【0004】特に、スタック型のDRAMではメモリセルキャパシタがトランジスタ上に作製されるため、メモリセル領域が周辺領域より高くなり、メモリセル領域と周辺回路との間を配線するのが困難となる場合があり、その対策としてメモリセル領域のみをあらかじめ掘り下げることにより、メモリセル領域と周辺回路の段差を緩和する方法がある。

【0005】

【発明が解決しようとする課題】上記した半導体記憶素子の製造方法においては、配線の断線を防止するため等、メモリセル領域と周辺回路の段差を緩和することができるが、あらかじめ半導体基板を掘り下げたり、複数のウェルを形成するなど、製造工程が複雑となるという課題があった。

【0006】本発明はこのような課題を鑑みなされたものであり、素子が形成された半導体基板の段差を緩和するとともに、製造工程を簡略化することができる半導体記憶素子の製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明によれば、半導体基板にトリプルウェル構造を有する半導体記憶素子の製造方法において、半導体基板上のウェル形成領域に第1導電型金属イオンを注入し、拡散処理を施すと同時にイオン注入した領域に選択酸化膜を形成し、前記選択酸化膜の外周領域の少なくとも一部に第1導電型金属イオンを注入し、拡散処理を施すと同時に該イオン注入した領域に前記選択酸化膜よりも薄い選択酸化膜を形成し、これら選択酸化膜を除去した後、前記ウェル形成領域内に第2導電型金属イオンを注入する半導体記憶素子の製造方法が提供される。

【0008】

【作用】上記した方法によれば、半導体基板にウェル構造を有する半導体記憶素子の製造方法において、半導体基板上のウェルを形成する領域に金属をイオン注入する工程と、拡散処理を施すと同時にイオン注入した領域に選択酸化膜を形成する工程とを少なくとも1回以上含むため、金属をイオン注入したウェルを形成する領域を選択的に酸化し、その後酸化膜をエッチング等により取り除くことにより、他の領域に比べ半導体基板表面が低くなる。従って、後工程で半導体基板のこの領域にトランジスタ及びキャパシタ等が積層形成されて基板表面が高くなっても、周辺回路との段差は大幅に緩和されることとなる。

【0009】しかも、酸化膜の形成工程を、所定の酸化膜厚となるように2回組み合わせることで、ウェル形成部分の表面を低下させると同時に、この低下した表面と本来の基板表面との境界の段差がより緩和され、ウ

エル内の素子形成領域と周辺回路との間の段差による配線層の断線等がより顕著に防止されることとなる。また、半導体基板上のウェルを形成する領域に金属をイオン注入する工程と、拡散処理を施すと同時にイオン注入した領域に選択酸化膜を形成する工程とを2回以上行う場合には、最初に選択酸化膜を形成する際に用いる窒化膜を後工程でも利用することができるので、製造工程が簡略化される。

【0010】

【実施例】本発明に係る半導体記憶素子の製造方法の実施例を図面に基いて説明する。なお、本発明は本実施例に限定されるものではない。図1に示した半導体記憶素子の製造方法において、(1)はP型のシリコン基板を示しており、シリコン基板(1)を900~1000℃の温度範囲で熱酸化して、例えば50~200nm程度のSiO₂膜(2)を形成する。次に、SiO₂膜(2)上に、NH₃及びSiH₂Cl₂等を用いたCVD法により、例えば80~200nm程度のSi₃N₄膜(3)を形成し、さらにこの上に後工程で深いNウェル(6)を形成するための、Nウェル形成領域(5)を規定するレジストパターン(4)を、リソグラフィー手法で形成する(図1(a))。

【0011】次いで、レジストパターン(4)をマスクとして、Nウェル形成領域(5)上のSi₃N₄膜(3)をエッチングする。そして同じレジストパターン(4)をマスクとしてPを1~10×10¹²cm⁻²程度イオン注入する(図1(b))。そして、酸化性雰囲気下、1100~1200℃で熱処理を行うことによって不純物を拡散し、深さ3~5μm程度の深いNウェル(6)を形成するとともに、このNウェル(6)上に選択酸化膜として厚さ500~1200nm程度のSiO₂膜(7)を成長させる(図1(c))。なお、この際にスクライブライン上又は素子内の他の空き領域に露光装置用のアライメントマーク(図示せず)を形成しておく。

【0012】次いで、前工程で形成した露光装置用のアライメントマークに対して位置合わせを行うことによって、Si₃N₄膜(3)上に後工程で浅いNウェル(10)を形成するNウェル形成領域(9)を規定するレジストパターン(8)をリソグラフィー手法で形成する。そして、そのレジストパターン(8)をマスクとして、Nウェル形成領域(9)上のSi₃N₄膜(3)をエッチングし、同じレジストパターン(8)をマスクとしてPを0.4~4×10¹³cm⁻²程度イオン注入する(図1(d))。

【0013】その後、酸化性雰囲気下、900~1100℃で熱処理を行うことによって不純物を拡散し、浅いNウェル(10)を形成するとともに、この浅いNウェル(10)上に選択酸化膜として厚さ300~500nm程度のSiO₂膜(11)を成長させる(図1

(e))。次いで、残存している Si_3N_4 膜(3)を熱磷酸溶液で取り除いて洗浄した後、シリコン基板

(1)全面に10~30nm程度の SiO_2 膜(12)を新たに形成し、 SiO_2 膜(12)を介してボロンを $0.4 \times 4 \times 10^{13} \text{cm}^{-2}$ 程度イオン注入する(図1(f))。

【0014】そして、ふっ酸水溶液を用いてシリコン基板(1)全面にわたってすべての SiO_2 膜(12)をエッチングにより取り除いた後、再度シリコン基板

(1)全面に10~30nm程度の SiO_2 膜(13)を形成する。次いで、深いNウェル(6)内に形成するPウェル(17)を規定するため、レジストパターン

(16)をリソグラフィー手法で形成し、そのレジストパターン(16)をマスクとしてボロンを $0.4 \times 4 \times 10^{13} \text{cm}^{-2}$ 程度イオン注入する(図1(g))。

【0015】その後、レジストパターン(16)を除去した後、1050~1150℃程度の温度で拡散処理工程を行い、深いNウェル(6)内の浅いPウェル(17)その他のPウェル(15)、浅いNウェル(10)をそれぞれ形成し、シリコン基板(1)にトリプルウェル構造を形成する。なお、浅いPウェル、Nウェルはいずれも $0.7 \mu\text{m} \sim 2 \mu\text{m}$ 程度の深さが好ましい。

【0016】また、本実施例においては、深いNウェル(6)近傍に形成する浅いNウェル(10)は深いNウェル(6)領域の縁部に位置するように形成することが望ましい。これは、深いNウェル(6)との電気的接触を確保するうえから有効であり、さらに深いNウェル(6)の熱処理時に形成されたシリコン基板(1)の段差を緩和する上からも有効である。

【0017】さらに、本実施例の選択酸化工程において、成長する SiO_2 膜(7)、(11)の膜厚は酸化温度と酸化雰囲気中の水分量、酸素量で制御することができ、途中で雰囲気を変化させることもできる。このように本実施例によれば、金属をイオン注入したウェルを形成する領域を選択的に酸化し、その後酸化膜をエッチング等により取り除くことにより、他の領域に比べシリコン基板表面が低くなる。従って、後工程でシリコン基板のこの領域にトランジスタ及びキャパシタ等が積層形成されてシリコン基板表面が高くなっても、周辺回路との段差を大幅に緩和することができ、後工程のアルミニ

ウム配線等の形成のための露光工程の焦点合わせが非常に容易となる。

【0018】また、トリプルウェル構造を形成するにあたって、最初を選択酸化膜を形成するために用いる窒化膜を後工程でも利用することができるとともに、注入イオンの拡散処理と選択酸化膜の成長を同一工程で行うことができるので、製造工程を簡略化することができる。

【0019】

【発明の効果】本発明に係る半導体記憶素子の製造方法によれば、金属をイオン注入したウェルを形成する領域を選択的に酸化し、その後酸化膜をエッチング等により取り除くことにより、他の領域に比べ半導体基板表面を低くすることができる。従って、後工程で半導体基板のこの領域にトランジスタ及びキャパシタ等が積層形成されて基板表面が高くなっても、周辺回路との段差を大幅に緩和することができる。

【0020】しかも、酸化膜の形成工程を、所定の酸化膜厚となるように2回組み合わせることにより、ウェル形成部分の表面を低下させると同時に、この低下した表面と本来の基板表面との境界の段差を緩和し、ウェル内の素子形成領域と周辺回路との間の段差による配線層の断線等をより顕著に防止することができる。また、半導体基板上のウェルを形成する領域に金属をイオン注入する工程と、拡散処理を施すと同時にイオン注入した領域に選択酸化膜を形成する工程とを2回以上行う場合には、最初を選択酸化膜を形成する際に用いる窒化膜を後工程でも利用することができるとともに、注入イオンの拡散処理と選択酸化膜の成長を同一工程で行うことができるので、製造工程を簡略化することができる。

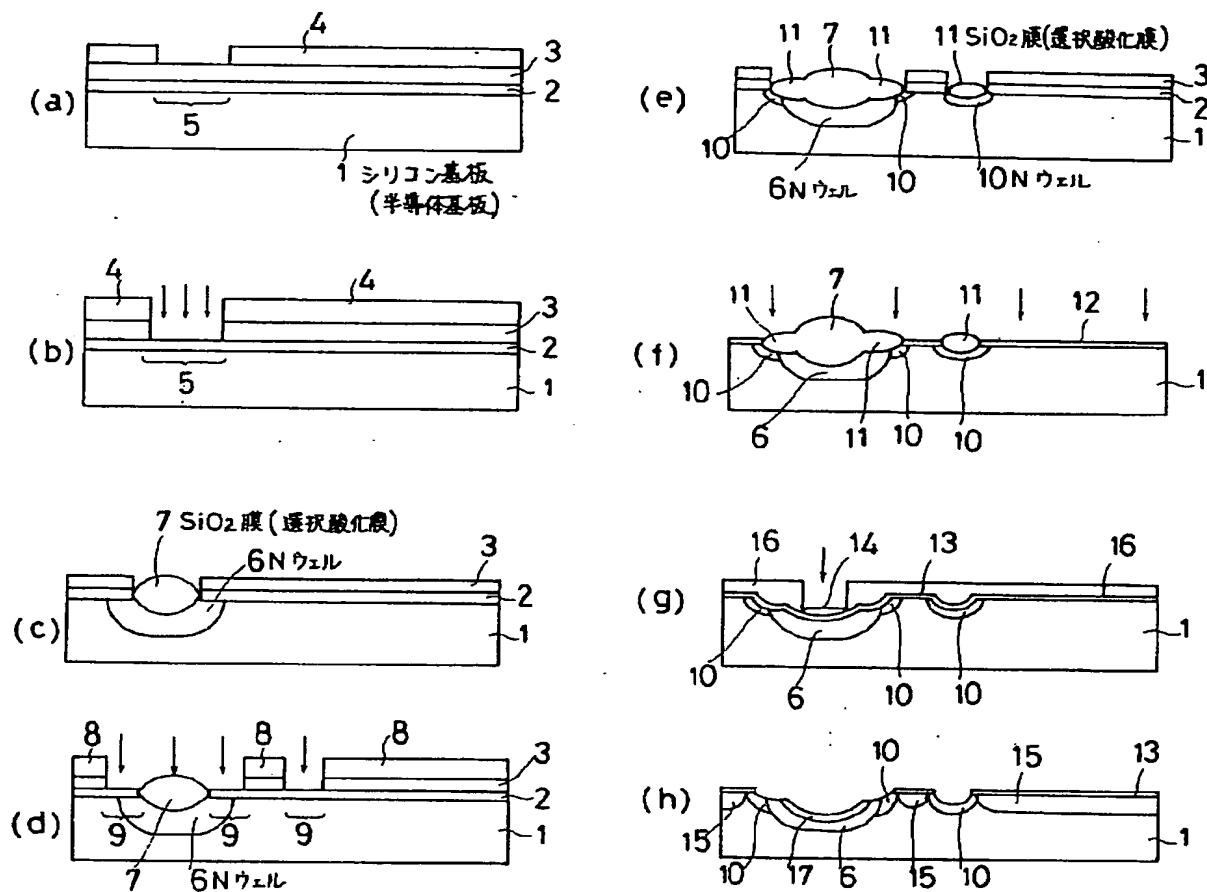
【図面の簡単な説明】

【図1】(a)~(h)は本発明に係る半導体記憶素子の製造方法の実施例を示す概略断面図である。

【符号の説明】

- 1 シリコン基板(半導体基板)
- 6 深いNウェル
- 7 SiO_2 膜(選択酸化膜)
- 10 浅いNウェル
- 11 SiO_2 膜(選択酸化膜)
- 15 浅いPウェル
- 17 Pウェル

【図1】



フロントページの続き

(58) 調査した分野(Int. Cl. 6, DB名)

H01L 27/108

H01L 21/8234

H01L 21/8242

H01L 27/06